

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001044274 A**

(43) Date of publication of application: **16.02.01**

(51) Int. Cl.

**H01L 21/76**  
**H01L 21/316**  
**H01L 21/324**  
**H01L 21/762**

(21) Application number: **11212342**

(22) Date of filing: **27.07.99**

(71) Applicant: **NEC CORP**

(72) Inventor: **KOBAYASHI KEN**

(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

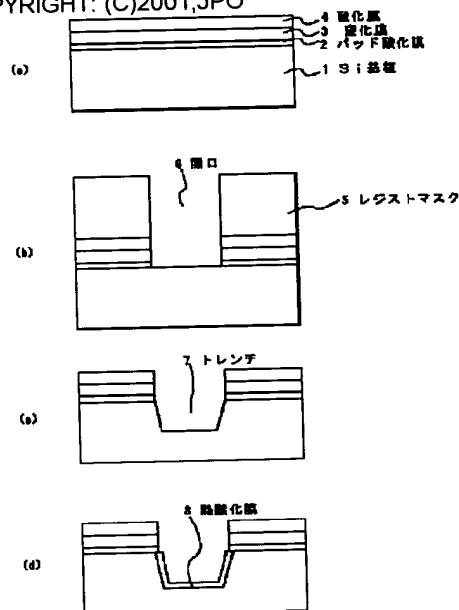
form the film 4 into the dense oxide film 4.

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the thickness of an oxide film on a nitride film and to cope with the requirement for miniaturization of a semiconductor device.

**SOLUTION:** This manufacturing method of a semiconductor device is conducted by a manufacturing method having a process, where a silicon nitride film 3 formed on a semiconductor substrate 1 and a CVD silicon oxide film 4 on the film 3 are patterned, using a resist mask 5 and after the mask is peeled from the film 4, the substrate 1 is etched using the patterned films 3 and 4 as masks to form a groove 7, an insulator film is embedded in the groove 7 and the embedded insulator film is planarized, using the film 3 as a stopper to form an element isolation region which consists of the insulator film. In this case, the substrate 1 is annealed, after the formation of the film 4 and before the etching of the substrate 1, to

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-44274  
(P2001-44274A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L	21/76	H 0 1 L 21/76	N 5 F 0 3 2
	21/316	21/316	S 5 F 0 5 8
	21/324	21/324	W
	21/762	21/76	D

審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平11-212342

(22) 出願日 平成11年7月27日 (1999.7.27)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 研

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

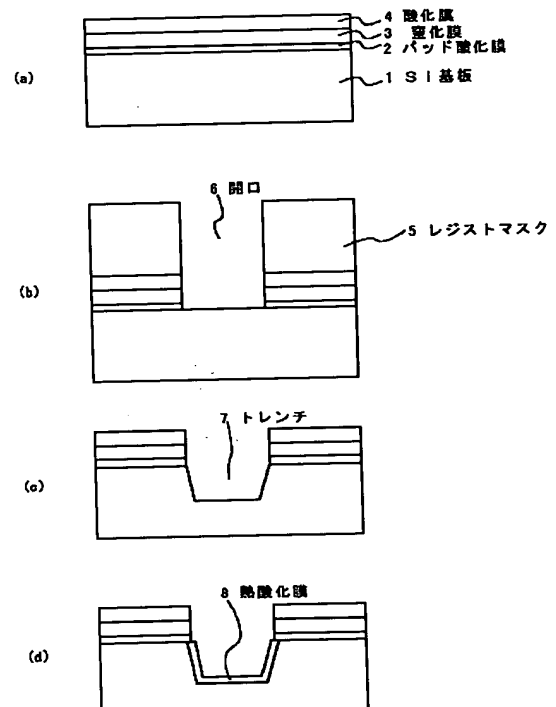
最終頁に続く

## (54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 従来厚く形成しなければならなかった窒化膜上の酸化膜の膜厚を低減し、微細化の要求に対応する。

【解決手段】 半導体基板1上に形成したシリコン窒化膜3及び当該膜上のCVDシリコン酸化膜4をレジストマスク5によりパターン化し、レジストマスク剥離後、パターン化されたシリコン窒化膜3及びCVDシリコン酸化膜4をマスクとして半導体基板をエッチングして溝7を形成し、該溝に絶縁物を埋め込み、前記シリコン窒化膜3をストッパとして埋め込み絶縁物を平坦化して前記絶縁物による素子分離領域を形成する工程を有する半導体装置の製造方法において、前記CVDシリコン酸化膜4の形成後であって、前記半導体基板のエッチング前に半導体基板をアニールして緻密な酸化膜4とする。



**【特許請求の範囲】**

**【請求項1】** 半導体基板上に形成したシリコン窒化膜及び当該膜上のCVDシリコン酸化膜をレジストマスクによりパターン化し、レジストマスク剥離後、パターン化されたシリコン窒化膜及びCVDシリコン酸化膜をマスクとして半導体基板をエッチングして溝を形成し、該溝に絶縁物を埋め込み、前記シリコン窒化膜をストップとして埋め込み絶縁物を平坦化して前記絶縁物による素子分離領域を形成する工程を有する半導体装置の製造方法において、前記CVDシリコン酸化膜の形成後であって、前記半導体基板のエッチング前に半導体基板をアニールすることを特徴とする半導体装置の製造方法。

**【請求項2】** 前記アニールは、レジスト塗布前に酸化雰囲気中で行うことを特徴とする請求項1に記載の半導体装置の製造方法。

**【請求項3】** 前記アニールは、シリコン窒化膜及びCVDシリコン酸化膜をパターン化後に不活性ガス雰囲気中で行うことを特徴とする請求項1に記載の半導体装置の製造方法。

**【請求項4】** 前記CVDシリコン酸化膜の膜厚が200Å以上、1000Å未満であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

**【請求項5】** 前記アニール温度は、CVDシリコン酸化膜の成膜時の温度よりも高いことを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

**【請求項6】** 前記アニール温度は、700～1200℃の温度範囲であることを特徴とする請求項5に記載の半導体装置の製造方法。

**【請求項7】** 前記シリコン窒化膜とCVDシリコン酸化膜との間にSiON膜を有することを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置の製造方法。

**【請求項8】** 前記SiON膜の膜厚が、1000Å以下であることを特徴とする請求項7に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は半導体装置の製造方法に関し、特にトレンチ素子分離領域の形成方法に関する。

**【0002】**

**【従来の技術】** 半導体素子の微細化や高速化を図る上で、素子分離の間隔を狭めることが必要になっている。従来、素子分離領域を形成する方法としては、LOCOS法が一般的であったが、このような微細化の要求には十分対応できない。そこで、このLOCOS法に代わる方法として、最近、STI (Shallow Trench Isolation) が注目されている。

**【0003】** 従来のSTIでは、シリコン基板などの半導体基板上に薄いパッド酸化膜、窒化膜を積層し、フォトリソグラフィ法により素子分離する領域を開口したレジストマスクを形成し、これをマスクに窒化膜、パッド酸化膜、半導体基板を異方性エッチングして、溝(トレンチ)を形成し、レジストマスクを除去した後、絶縁性物質を全面に堆積し、窒化膜をストップとして化学機械研磨 (Chemical Mechanical Polishing: CMP) により、前記トレンチに絶縁物質を埋め込んで素子分離を形成していた。

**【0004】** この時、レジストマスクのパターンが所望の形状に形成できなかった場合には、レジストマスクを剥離して、レジストマスクの再形成(再工事)が必要となる場合がある。しかしながら、レジストマスク剥離時に剥離液である酸溶液により窒化膜表面が荒らされて、窒化膜表面上の光学特性が変化し、再工事の効率が悪化するという問題があった。つまり、窒化膜膜厚変動により定在波の影響で所望のパターンが形成できない場合があり、再工事の度に膜厚が変動してしまうことから、パターン形成に困難を極めていた。

**【0005】** 従来、このような再工事における問題を解決するため、窒化膜上にシリコン酸化膜を堆積することが提案されている。以下、図面を参照してこの従来技術を説明する。

**【0006】** 図5は、従来技術になるトレンチ素子分離の形成方法を説明する工程断面図である。まず、図5

(a)に示すように、Si基板1などの半導体基板上に薄いパッド酸化膜2を熱酸化法などにより形成し、続いて、シリコン窒化膜3をLPCVD法などにより所望の厚みに形成する。更にその上にシリコン酸化膜4'をLPCVD法などにより1000～2000Å程度の厚みに形成する。続いて、図5(b)に示すように、レジストを塗布し、通常のフォトリソ工程により素子分離を形成する部分を開口するようにレジストマスク5を形成し、これをマスクに酸化膜4'、窒化膜3、パッド酸化膜2を順次ドライエッチングして、Si基板1表面を露出させて開口6を形成する。続いて、レジストマスク5を剥離し、前記酸化膜4'をマスクに露出したSi基板1表面を異方性エッチング、特にドライエッチングして2000～4000Å程度のトレンチ7を形成する(図5(c))。尚、Si基板1のエッチング時に、酸化膜4'も同時にエッチングされて膜減りするため、前記のように酸化膜4'は厚く形成する必要がある。又、Si基板エッチング時にレジストマスク5を剥離するのは、酸化膜4'、窒化膜3及びパッド酸化膜2のエッチング時に酸化膜エッチング用のエッチングガスと酸化膜、窒化膜エッチング用のエッチングガスと窒化膜などの或いはこれらのエッチングガスとレジスト材料とが反応してエッチング残渣(以下、「絶縁物由来のエッチング残渣」と称す)が形成されるが、そのままレジストマスク

5をマスクとしてSi基板をエッチングすると、Siとエッチングガスとの反応生成物などのエッチング残渣（以下、「Si由来のエッチング残渣」と称す）が形成される。これらエッチング残渣は、その後のトレンチ内への酸化膜埋め込み前に除去する必要がある。ここで絶縁物由来のエッチング残渣の除去はO<sub>2</sub>プラズマ処理後に酸系の液、例えばレジストの剥離液などで処理することができるが、Si由来のエッチング残渣は除去困難となる。一方、酸系剥離液のみで処理すると、絶縁物由来のエッチング残渣の除去が困難となり、これらのエッチング残渣を同時に除去することはできない。そこで、Si基板エッチング前にレジストマスク5を剥離して、絶縁物由来のエッチング残渣を除去し、その後、酸化膜4'をマスクにSi基板をエッチングして、その後Si由来のエッチング残渣を除去するようにした。

【0007】この工程の後、形成したトレンチ7内部を酸化膜で埋め込む。この時、トレンチ形成時の異方性エッチングによりシリコン基板上にエッチングダメージが導入されているため、熱酸化膜8を形成して、そのダメージを除いておく（図5（d））。続いて、HDPCVD（High Density Plasma Chemical Vapor Deposition）法などのCVD法により全面に厚いCVD酸化膜9を堆積し（図6（a））、窒化膜3をストップとして化学機械研磨（CMP）法にてCVD酸化膜9を研磨する（図6（b））。最後に、窒化膜3を熱リン酸で、パッド酸化膜2をフッ酸系溶液で除去することで、図6（c）に示すようにトレンチ素子分離が形成される。

#### 【0008】

【発明が解決しようとする課題】前記したように、窒化膜3上に形成する酸化膜4'はSi基板1のエッチング時に膜減りするため、厚く形成する必要がある。その理由は、図7に示すように、酸化膜4'の膜厚が薄いと、Si基板エッチング時に酸化膜4'もエッチングされて消失し（4''）、窒化膜3が露出してしまい、窒化膜3が露出した状態でトレンチエッチングを続けると、トレンチ底にエッチングガスと窒化膜との反応生成物による柱状の残渣12が発生してしまう。このような残渣が発生すると、所望形状のトレンチが形成できなくなるという問題があり、このような残渣を発生させないために酸化膜4'を十分厚く形成していた。

【0009】しかしながら、厚い酸化膜4'をエッチングして開口を形成すると、開口幅寸法の変動が膜厚に比例して大きくなるという問題がある。昨今、半導体装置の微細化が進む中で、開口幅寸法の変動の許容範囲はより狭められる傾向にあり、このような厚い酸化膜では対応しきれなくなりつつある。

【0010】従って、本発明の目的は、従来厚く形成しなければならなかった窒化膜上の酸化膜の膜厚を低減し、上記微細化の要求に対応することである。

#### 【0011】

【課題を解決するための手段】本発明者は、上記課題を解決するべく鋭意検討した結果、従来、窒化膜上に形成したCVD法により成膜したままのCVD酸化膜にアニール処理を施すことにより、膜の緻密化が起こり、その結果、シリコン基板などの半導体基板のエッチングの際に、この緻密化された酸化膜がエッチングされにくくなり、膜減りが少なくなることを見出した。つまり、このような緻密化を行うことで、従来のような窒化膜上の酸化膜を厚く形成する必要がなくなり、開口幅寸法の変動が抑えられる。

【0012】すなわち本発明は、半導体基板上に形成したシリコン窒化膜及び当該膜上のCVDシリコン酸化膜をレジストマスクによりパターン化し、レジストマスク剥離後、パターン化されたシリコン窒化膜及びCVDシリコン酸化膜をマスクとして半導体基板をエッチングして溝を形成し、該溝に絶縁物を埋め込み、前記シリコン窒化膜をストップとして埋め込み絶縁物を平坦化して前記絶縁物による素子分離領域を形成する工程を有する半導体装置の製造方法において、前記CVDシリコン酸化膜の形成後であって、前記半導体基板のエッチング前に半導体基板をアニールすることを特徴とする半導体装置の製造方法である。

#### 【0013】

【発明の実施の形態】本発明においては、窒化膜上へのCVDシリコン酸化膜形成後に、前記半導体基板のアニールを行う。このアニールは、レジスト塗布前、或いは半導体基板上の絶縁膜をパターンニング後に行うことができる。アニール条件は不活性ガス雰囲気中、酸化雰囲気中で行うことができ、レジスト塗布前では酸化雰囲気中、特にH<sub>2</sub>-O<sub>2</sub>雰囲気下で行うと効果が高い。一方、絶縁膜のパターンニング後では、露出した半導体基板表面が酸化されることを防止するため、不活性ガス雰囲気中で行う。

【0014】このようにアニールすることで、CVDシリコン酸化膜が緻密化されて半導体基板のエッチング時に半導体基板とのエッチング選択比が高くなり、エッチングされ難くなることで、従来よりCVDシリコン酸化膜を薄くすることができる。つまり、従来、2000～4000Å程度のトレンチを形成するには、1000～2000Å必要であったのに対し、本発明では、1000Å未満とすることができる。尚、膜厚の下限については、形成すべき溝の深さにより一概に規定することはできないが、膜の平坦性や、半導体基板とのエッチング選択比との観点から200Å以上とするのが望ましい。

【0015】アニール温度としては、CVDシリコン酸化膜の成膜時の温度、例えば、TEOSを用いたLPCVD法では、650～700℃、O<sub>3</sub>/TEOSを用いた常圧CVDでは400℃程度であるが、この成膜時の温度よりも高い温度であれば緻密化が進行する。好ましくは700℃以上とするのが望ましい。アニール温度は

高いほど効果が大いだが、シリコン酸化膜の軟化温度より高くすることは避けるべきであり、その点で、1200℃までとするのが望ましい。

【0016】尚、半導体基板に形成した溝に埋め込む絶縁物としては、従来公知のシリコン酸化膜やポリシリコンなどを使用することができる。

【0017】素子の微細化に伴い、トレンチ幅も狭く形成する必要があり、トレンチパターン形成の際のフォトリソ工程では、KrFなどのエキシマレーザーによる短波長露光が必要となっている。i線を用いた従来の露光時には窒化膜からの反射はあまりなく、問題とはならなかったが、このような短波長露光による微細パターン形成時には、窒化膜からの反射光により所望通りにパターンが形成できなくなっており、反射防止膜としてSiON膜などを用いることが提案されている。本発明においても、SiON膜を窒化膜と表面の酸化膜との間に介在させることで、更なる微細化の要求にも対応し得るものである。尚、SiON膜の膜厚としては、反射防止膜としての機能が発現し得る膜厚であればよいが、あまり厚く形成すると、エッチングが煩雑となることから、1000Å程度を上限とする。

【0018】

【実施例】以下、実施例により本発明を具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。

【0019】実施例1

図面を参照して本発明の第1の実施例を説明する。図1、2は、本発明の第1の実施例に係る半導体装置の製造方法の工程断面図である。

【0020】まず、Si基板1を900℃、H<sub>2</sub>-O<sub>2</sub>雰囲気中で熱酸化して、200Å程度の厚みのパッド酸化膜2を形成し、その上に、シラン及びアンモニアを原料ガスとして、700～800℃程度の温度範囲でLPCVD法により窒化膜(Si<sub>3</sub>N<sub>4</sub>)膜3を1500Å程度の厚みに成膜する。更に、TEOSを原料として650～700℃の温度範囲でLPCVD法により500Å程度の膜厚のCVDシリコン酸化膜(SiO<sub>2</sub>)膜を形成する。

【0021】このようにパッド酸化膜2、窒化膜3、CVDシリコン酸化膜を成膜したSi基板1をH<sub>2</sub>-O<sub>2</sub>雰囲気中、900℃で30分間アニール処理することで、表面のCVDシリコン酸化膜が緻密化される。以下、緻密化された酸化膜を酸化膜4として説明する(図1(a))。

【0022】続いて、酸化膜4上にレジストを塗布し、フォトリソ工程により所定のパターンを形成してレジストマスク5とし、このレジストマスク5をマスクとして酸化膜4、窒化膜3、パッド酸化膜2をそれぞれ異方性ドライエッチングし、開口6を形成する(図1(b))。

【0023】O<sub>2</sub>プラズマによりアッシングし、レジスト剥離液を用いてレジストマスク5及び開口6内壁に付着したエッチング残渣を除去した後、酸化膜4をマスクとして開口6に露出したSi基板1をドライエッチングし、トレンチ7を形成する(図1(c))。ここでは、トレンチ深さとして、2500Åのトレンチを形成した。

【0024】続いて、N<sub>2</sub>-O<sub>2</sub>雰囲気下、1100℃で熱酸化して、トレンチ内壁に400Å程度の熱酸化膜8を形成した(図1(d))。

【0025】このように形成したトレンチ内部に酸化膜を埋め込むため、まず、図2(a)に示すように全面にHDPCVD法により5500Å程度の厚みにCVD酸化膜9を成膜した。続いて、窒化膜3をCMPストップパとして、CVD酸化膜9及び酸化膜4をCMP法により研磨し、図2(b)に示す構造を得た。更に窒化膜3を熱リン酸で除去し、パッド酸化膜2をフッ酸系溶液で除去することで、図2(c)に示すようなトレンチ素子分離が形成された。

【0026】実施例2

第2の実施例では、KrFエキシマレーザーにより微細トレンチパターンを形成する場合を例に説明する。図3、4は、本実施例に係る半導体装置の製造方法の工程断面図である。

【0027】まず、実施例1と同様にSi基板1表面に、熱酸化によるパッド酸化膜2及び窒化膜3を形成する。その上に、シラン、一酸化窒素及び窒素ガスを用いてプラズマCVD法により400℃で350Å程度の膜厚のSiON膜10を成膜する。更にその上に実施例1と同様にCVD酸化膜を成膜し、アニール処理を施してCVD酸化膜を緻密化して酸化膜4とする(図3(a))。

【0028】次に、KrFエキシマレーザーの波長に感光性を有する化学増幅型レジストを塗布し、KrFエキシマレーザーを用いたフォトリソ工程により、微細なトレンチパターンを有するレジストマスク5を形成し、該レジストマスク5を用いて酸化膜4、SiON膜10、窒化膜3及びパッド酸化膜2を順次ドライエッチングして、開口6を形成する(図3(b))。

【0029】O<sub>2</sub>プラズマによりアッシングし、レジスト剥離液を用いてレジストマスク5及び開口6内壁に付着したエッチング残渣を除去した後、酸化膜4をマスクとして開口6に露出したSi基板1をドライエッチングし、トレンチ7を形成する(図3(c))。ここでは、トレンチ深さとして、2500Åのトレンチを形成した。

【0030】続いて、N<sub>2</sub>-O<sub>2</sub>雰囲気下、1100℃で熱酸化して、トレンチ内壁に400Å程度の熱酸化膜8を形成した(図3(d))。

【0031】このように形成したトレンチ内部に酸化膜

を埋め込むため、まず、図4 (a) に示すように全面にHDP CVD法により5500 Å程度の厚みにCVD酸化膜9を成膜した。続いて、窒化膜3をCMPストップとして、CVD酸化膜9及び酸化膜4をCMP法により研磨し、図4 (b) に示す構造を得た。更に窒化膜3を熱リン酸で除去し、パッド酸化膜2をフッ酸系溶液で除去することで、図4 (c) に示すようなトレンチ素子分離が形成された。

#### 【0032】

【発明の効果】以上説明したように、本発明によれば、トレンチ形成のためのハードマスクとして使用する窒化膜上のシリコン酸化膜の厚みを薄くすることができ、開口幅寸法の変動を抑制できる。その結果、半導体装置の微細化の要求を満たすことができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例になる半導体装置の製造工程断面図である。

【図2】本発明の第1の実施例になる半導体装置の製造工程断面図である。

【図3】本発明の第2の実施例になる半導体装置の製造

工程断面図である。

【図4】本発明の第2の実施例になる半導体装置の製造工程断面図である。

【図5】従来技術になる半導体装置の製造工程断面図である。

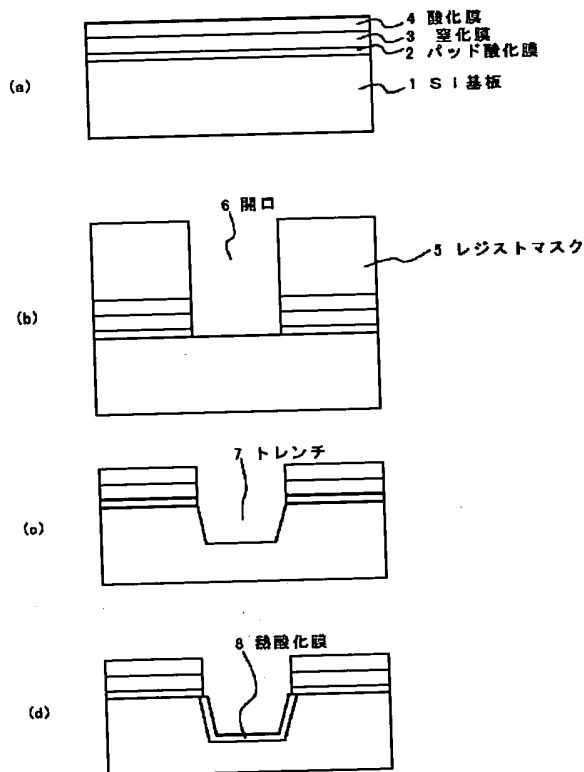
【図6】従来技術になる半導体装置の製造工程断面図である。

【図7】従来技術による問題点を説明する概念図である。

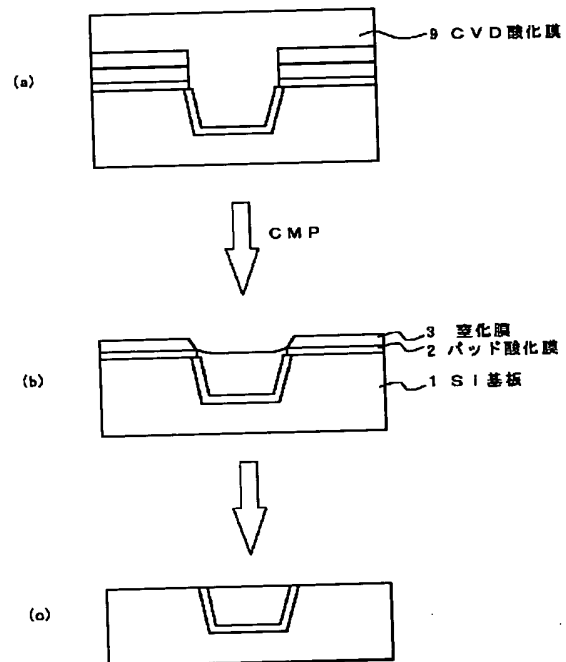
#### 【符号の説明】

- 1 Si基板
- 2 パッド酸化膜
- 3 窒化膜
- 4 酸化膜
- 5 レジストマスク
- 6 開口
- 7 トレンチ
- 8 熱酸化膜
- 9 CVD酸化膜
- 10 SiON膜

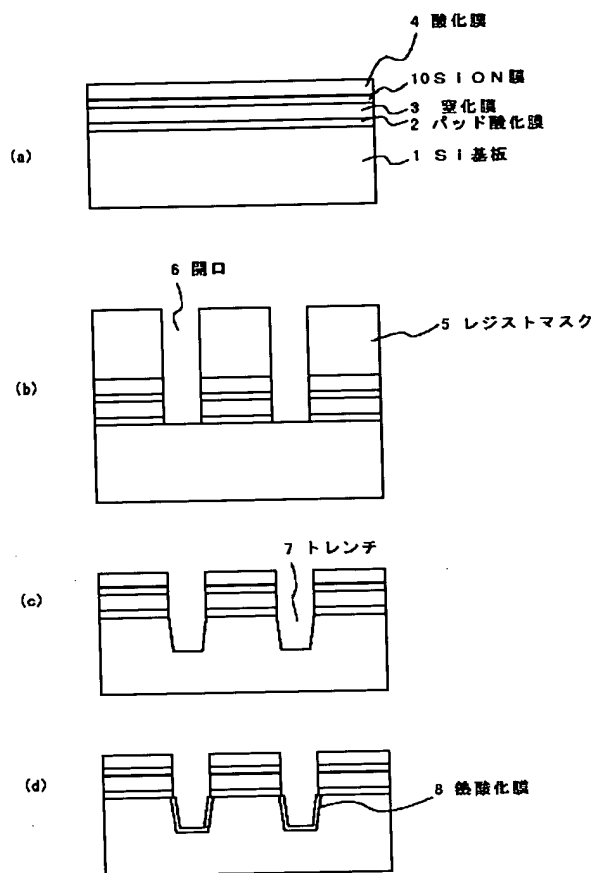
【図1】



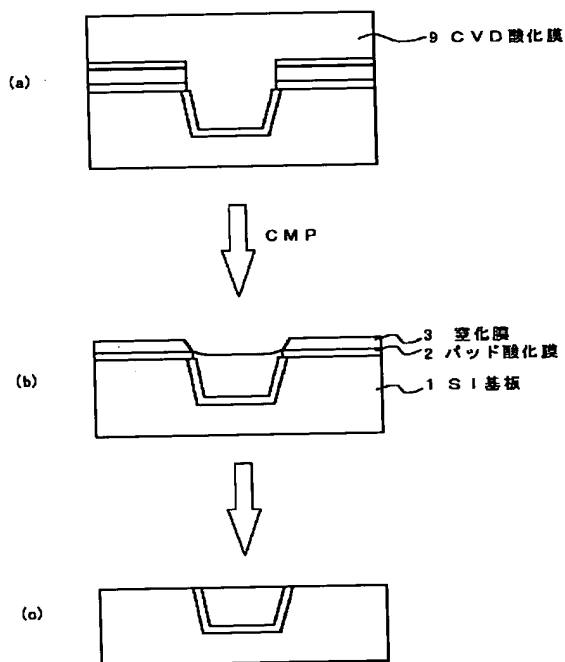
【図2】



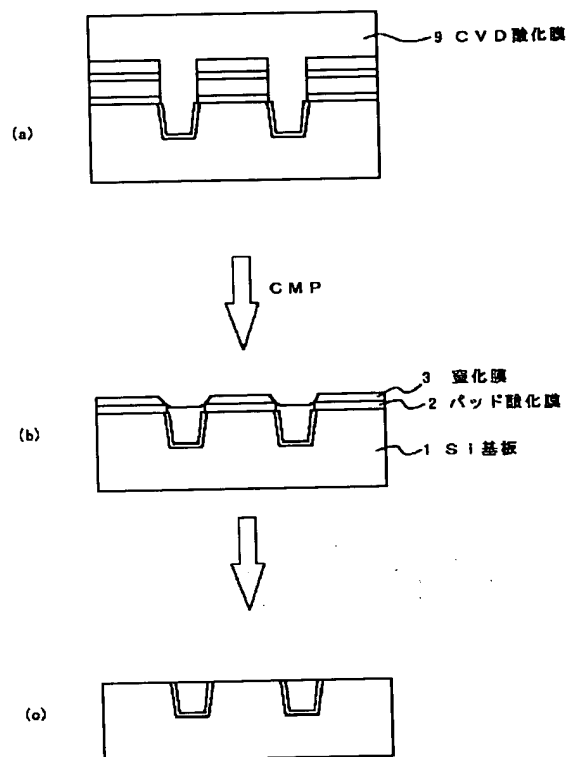
【図3】



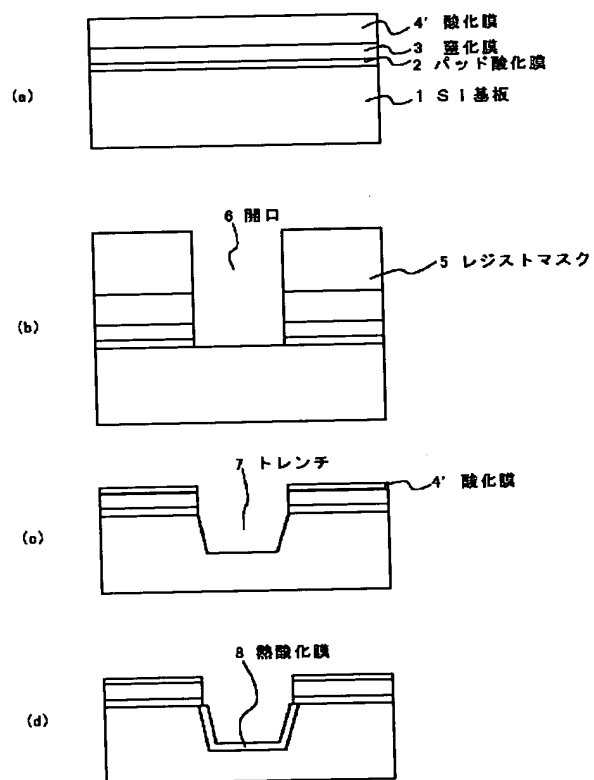
【図6】



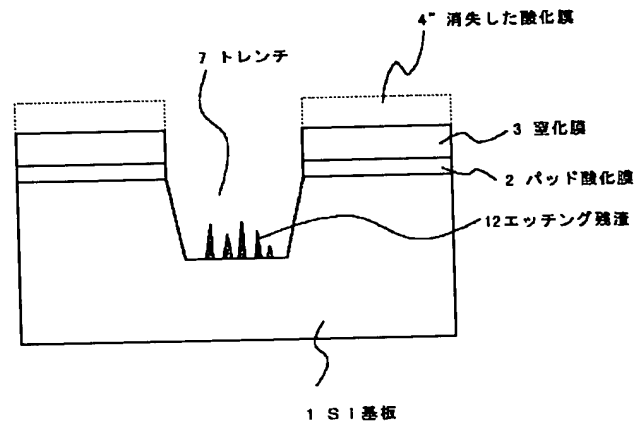
【図4】



【図5】



【図7】



フロントページの続き

Fターム(参考) 5F032 AA34 AA45 DA02 DA03 DA04  
DA23 DA24 DA25 DA33 DA53  
DA74  
5F058 BA02 BA09 BD02 BD04 BD10  
BD15 BF07 BF23 BF25 BF30  
BF55 BF63 BH01 BH11 BJ01  
BJ06